

RESIN-SEALED SURFACE-MOUNTING SEMICONDUCTOR DEVICE

Patent Number: JP5129473
Publication date: 1993-05-25
Inventor(s): FUKAZAWA HIROYUKI
Applicant(s):: SONY CORP
Requested Patent: ☐ JP5129473
Application Number: JP19910289882 19911106
Priority Number(s):
IPC Classification: H01L23/28 ; H01L23/12 ; H01L23/50
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce the size and thickness of the title semiconductor device while a mechanism which prevents the deformation of external electrodes or fluctuation of the electrodes at the machining time is secured by using the rear sections of inner leads connected to internal wiring as external electrodes at the time of directly mounting the semiconductor device.

CONSTITUTION: A semiconductor chip 1 is placed on the die pad 2 of a lead frame. After electrically connecting the chip 1 to inner leads 6, the rear of which become external electrodes 8, through bonding wires 3, the upper part is sealed with a resin. Similarly, the chip 1 is electrically connected to the leads through bumps 4. In other words, the rear of the electrically connected inner leads 6 are used as the electrical connecting sections 8 of the semiconductor device to the outside. Therefore, the size of the semiconductor device can be reduced to nearly the same size as that of the chip 1. In addition, the thickness of the semiconductor device can also be reduced.

Data supplied from the esp@cenet database - 12

(18)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-129473

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	FI	技術表示箇所
H01L 23/28	J	8617-4M		
23/12				
23/28	A	8617-4M		
23/50	N	9272-4M		
		7352-4M		
H01L 23/12 L				
審査請求 未請求 請求項の数3(全 6 頁) 最終頁に紐く				

(21)出願番号 特願平3-289882

(22)出願日 平成3年(1991)11月6日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 深澤 博之

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74)代理人 弁理士 高橋 光男

PTO 2002-0312

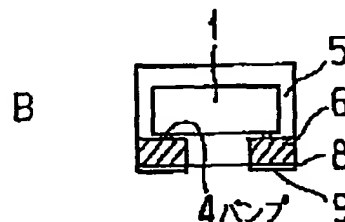
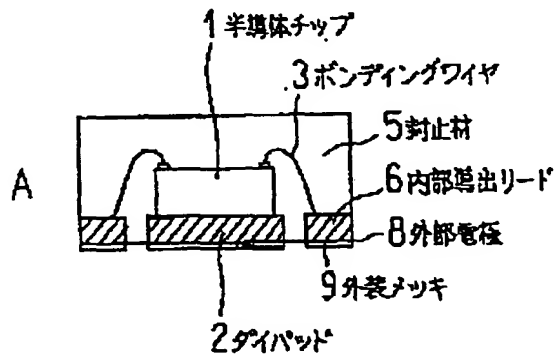
S.T.I.C. Translations Branch

(54)【発明の名称】 樹脂封止表面実装型半導体装置

(57)【要約】

【目的】 小型化、薄型化可能な半導体装置を提供する。

【構成】 内部導出リード6とダイパッド2が同一平面にあるリードフレームを用い、半導体チップ1とボンディングワイヤ3あるいは bumps 4により電氣的に接続されている内部導出リード6の裏面を、半導体装置の外部との電氣的接続部分として機能する外部電極8とする。



【特許請求の範囲】

【請求項1】 半導体素子を搭載し、その素子表面の電極を内部導出リードに接続し、その接続部および前記半導体素子部を樹脂封止してなる樹脂封止表面実装型半導体装置において、

前記内部導出線の接続される内部導出リードの裏面が、直接半導体装置を実装する際の外部電極となることを特徴とする樹脂封止表面実装型半導体装置。

【請求項2】 半導体素子の裏面が直接あるいは封止樹脂以外の樹脂材料を介して、半導体装置の外側に露出していることを特徴とする請求項1記載の樹脂封止表面実装型半導体装置。

【請求項3】 半導体素子の裏面あるいは封止樹脂以外の樹脂材料を介した面が、外部電極の面よりも一段高く形成されていることを特徴とする請求項1記載の樹脂封止表面実装型半導体装置。

【0001】

【産業上の利用分野】この発明は樹脂封止された表面実装型半導体装置に関するものである。

【0002】

【従来の技術】従来、表面実装型半導体装置は図10にその一例の断面図で示すように、金属（例えば、42% Ni/Fe合金で、板厚0.1～0.3mm）でできたリードフレームのダイパッド2に半導体チップ1を搭載し、図10Aに示すように、ボンディングワイヤ3により内部導出リード6に電気的に接続するか、あるいは図10Bに示すように、パンプ4と呼ばれる接続電極によって直接内部導出リード6に電気的に接続する。そして、これらをエポキシ樹脂などの封止材5で封止した後、外部導出リード7および外部電極8を所要の形状に曲げ形成している。

【0003】そして、図11Aに側面図で示すように、基板12のパターンに半田ペースト13を、あるいは図11Bに示すように、基板12に接着剤14を塗布しておき、これに表面実装型半導体装置を位置合わせして載せる。この基板12を、図11Aのように半田ペースト13を使用した場合には、熱風あるいは赤外線などにより加熱し半田付けする。一方、図11Bのように接着剤14を使用した場合には、半田槽に浸漬して半田付けを行う。

【0004】しかしながら、前述した表面実装型半導体装置は、図10A、Bに示す封止材5の外側において、外部導出リード7および外部電極8を曲げ加工しているため、この加工精度のバラツキおよび成形後の外部からの力により、図12Aの斜視図に示すように、半導体装置の封止材5の底面に対する外部電極8の下面の高さ方向の位置のバラツキおよび図12Bの平面図に示すように、横方向への外部導出リード7および外部電極8の変形が生じやすい。これが原因となって前述の基板実装

時、好適な表面実装ができなくなる。または、電気的に導通できなくなるという課題が発生した。

【0005】そこで、この課題を解消するため、図13に示した特開平3-3354号公報に開示されている半導体装置のように、外部電極8を封止材5の底面と同一面で、かつ底面と並行に導出した形状が提案されている。

【0006】

【発明が解決しようとする課題】ところで、近年、電子機器の小型化、薄型化されるにしたがって、使用される半導体装置もできるだけ小型化、薄型化をはかるように要求され、現在では封止材の大きさが内部に搭載されている半導体チップの大きさと近くなってきており、また、厚みも1.0mm以下の薄型半導体装置が実用化されてきている。しかし、このような小型、薄型半導体装置において、前述の図13に示す特開平3-3354号公報に記載されているような形状では、大きさも半導体チップサイズよりはるかに大きくなってしまったり、厚さも厚くなってしまったりという課題が発生した。この発明は、外部電極の変形あるいは加工時のバラツキを防止する機構を保ちながら、しかも、小型化、薄型化可能な樹脂封止表面実装型半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】先に述べたような課題を解決するために、この発明は、内部導出リードとダイパッドが同一平面にあるリードフレームを用い、半導体チップとボンディングワイヤあるいはパンプにより電気的に接続される内部導出リードの裏面を、半導体装置の外部との電気的接続部分すなわち外部電極とした。

【0008】

【作用】したがってこの発明の樹脂封止表面実装型半導体装置は、内部導出リードとダイパッドが同一平面にあるリードフレームを用い、半導体チップとボンディングワイヤあるいはパンプにより電気的に接続される内部導出リードの裏面を半導体装置の外部との電気的接続部分すなわち外部電極としたので、半導体装置の大きさを半導体チップの大きさとほぼ同じ大きさまで小さくすることができる。また、半導体装置の厚みを薄くすることができる。

【0009】

【実施例】以下、この発明の実施例の樹脂封止表面実装型半導体装置を図面とともに詳述する。図1に第1の実施例の断面図を示す。まず、図1Aは、厚さ0.1～0.3mmのリードフレームのダイパッド2に半導体チップ1を載置し、半導体チップ1と裏面が外部電極8となる内部導出リード6とをボンディングワイヤ3で電気的に接続させて、その上部を樹脂封止した構造となっている。図1Bは、同様に半導体チップ1と内部導出リード6とをパンプ4で電気的に接続をさせている例を示

す。ボンディングワイヤ3による電氣的接続法よりパンブ4による電氣的接続の方が、その構造上封止材5の大きさをさらに小さくできるという利点があるが、リードフレームの板厚が薄いほど半導体チップ1の下面の樹脂の厚みも薄くなるため、樹脂封止時のボイド（気泡）などの不具合が発生しやすくなる。

【0010】第1の実施例の半導体装置の作成方法を図2、図3の断面図を用いて簡単に説明する。まず、第1の作成方法を図2の断面図で説明する。図2Aに示すように、従来と同様の方法でダイパッド2と内部導出リード6が同一平面上にあるリードフレームを用い、半導体チップ1を載置後その半導体チップ1と内部導出リード6とをボンディングワイヤ3により電氣的に接続を行う。つぎに、エポキシ樹脂などの封止材5を用いて封止する。そして、半導体装置の裏面樹脂部を削り取り図2Bに示す形状にする。その後、基板実装を行う際の半田付け性をよくするために、外部電極8の露出した部分に半田などの外装メッキ9を施すことにより図2Cのようになる。こうしてできた半導体装置の外部導出リード7の外側の余分な部分を金型などを用いて切断すると図2Dに示す本実施例の半導体装置が得られる。つぎに、第2の作成方法を図3の断面図で説明する。第1の作成方法と同様に、半導体チップ1を載置して電氣的に接続した後、上面のみキャビティ（掘り込み）のある金型で樹脂封止を行うことにより、図3Aに示す形状となる。この後、第1の作成方法と同様に、外装メッキ9および外部導出リード7の切断を行うことにより、図3Bに示す本実施例の半導体装置が得られる。この作成方法の場合、樹脂封止時のバリなどが外装メッキ9を施そうとしている部分に付着していることがあるため、外装メッキ9を施す前に高圧水などによるバリ取りという前処理が必要となるが、第1の作成方法のような硬い封止樹脂を削り取るという作業は省略できる。

【0011】図4に第2の実施例の断面図を示す。構造的には第1の実施例とほとんど変わらないが、半導体チップを載置するダイパッド2および外部電極8の厚みが銅箔などの非常に薄い（約10～30μm）導体で構成されている。本実施例の構造は第1の実施例に比べ半導体装置の厚みを数百μmも薄くすることが可能となる。また、半導体チップ1の裏面が、直接あるいは金属部分を介して外部に露出している構造となっているので、基板実装後、使用時に半導体装置から発生する熱を逃がしやすいという利点もある。この第2の実施例の半導体装置の作成方法を図5の断面図を用いて簡単に説明する。前述した第1の実施例では、リードフレームを使用するが、本実施例では図5Aに示すような部分的に穴の開いたポリイミドなどのフィルム10に銅箔などの薄い導体をラミネートしてダイパッド2、内部導出リード6および外部電極線11を形成し、この導体付いたフィルム10に、前述の方法と同様に半導体チップ1を載置し

て電氣的に接続を行い、樹脂封止および外装メッキ9を施すと図5Bにその断面図を示す構造になる。さらに、加熱などを施しながらフィルム10を剥離すると図5Cに示すような本実施例の構造となる。なお、本実施例に用いられる外部電極8の外側に、フィルム10を剥離する際に導体の余分な部分が同時に切断してしまうように、図5Dの平面図に示したように外部電極に接続される外部電極線11をあらかじめ細くしておくといよい。

【0012】図6に第3の実施例の断面図を示す。第3の実施例では半導体チップ1を載置するダイパッド2の下にポリイミドなどのフィルム10を有する。その外には前述してきた実施例と変わるところはないが、本実施例の場合、基板実装時の接続部分となる外部電極8の底面の高さに対し、外部電極8の厚さの分だけ高いところにフィルム10があるため、基板実装後のフラックスの洗浄効果があるという利点がある。また、半導体装置の中央に半導体チップ1の裏面と電氣的に接続される部分がないので、基板実装時に発生するショートなどの不具合をまねかないという利点もある。なお、本実施例ではダイパッド2が存在する図で説明してきたが、実施に際しては必ずしも必要とは限らない。第3の実施例の半導体装置の作成方法を図7の断面図を用いて簡単に説明する。第3の実施例では、図7Aに示すような部分的に穴の開いたポリイミドなどのフィルム10に銅箔などの薄い導体をラミネートしてダイパッド2、内部導出リード6および外部電極線11を形成し、この導体の付いたフィルム10に、前述の方法と同様に半導体チップ1を載置して電氣的に接続を行い、樹脂封止および外装メッキ9を施すと図7Bにその断面を示す構造になる。さらに、加熱などを施しながら半導体装置周辺のフィルム10を剥離すると図7Cに示すような本実施例の構造となる。なお、第2の実施例と同様に外部電極8の外側の外部電極線11を、フィルム10を剥離する際、切断しやすいようにあらかじめ細くしておくといよい。

【0013】さらに、第4および第5の実施例として、図8に断面図を示すように、外部電極8を2重に配置した構造も、前述してきた実施例より容易に作成される。本実施例の構造の場合、前述の実施例より半導体装置の大きさは少し大きくなるが、外部電極8同士の間隔が広くできるために基板実装時の半田によるブリッジ（電極間ショート）が発生しにくいという利点がある。

【0014】また、第6の実施例として図6の断面図に示した第3の実施例において、完成した半導体装置の中央部にあるフィルム10を除去することにより、図9に断面図に示すように、半導体チップ1の裏面部あるいは封止材5以外の樹脂材料を介した面が、外部電極8の下面よりさらに富くできるので、第3の実施例のところで述べた地盤実装時の洗浄効果がよりあがるという利点がある。

【0015】

【発明の効果】以上の説明から明らかなように、この発明の半導体装置では内部導出リードの接続点の裏面を半導体装置の外部電極としたので、半導体チップの大きさに近い寸法の半導体装置を提供できる。また、厚みに関しても、約0.5mm前後の厚みの半導体装置を提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施例の断面図。

【図2】第1の実施例の半導体装置の第1の作成方法を説明する断面図。

【図3】第1の実施例の半導体装置の第2の作成方法を説明する断面図。

【図4】この発明の第2の実施例の断面図。

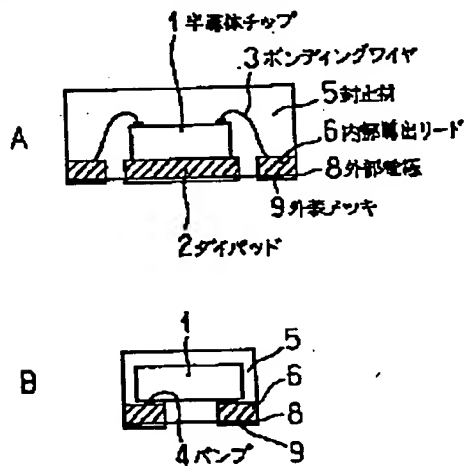
【図5】第2の実施例の半導体装置の作成方法を説明する断面図。

【図6】この発明の第3の実施例の断面図。

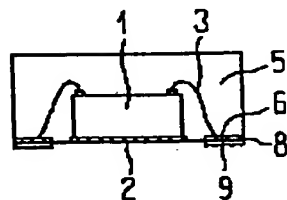
【図7】第3の実施例の半導体装置の作成方法を説明する断面図。

【図8】この発明の第4および第5の実施例の断面図で、Aは第4の実施例、Bは第5の実施例である。

【図9】この発明の第6の実施例の断面図。



【図4】



【図10】従来例の表面実装型半導体装置の断面図。

【図11】従来例の表面実装型半導体装置を基板に実装した状態の断面図。

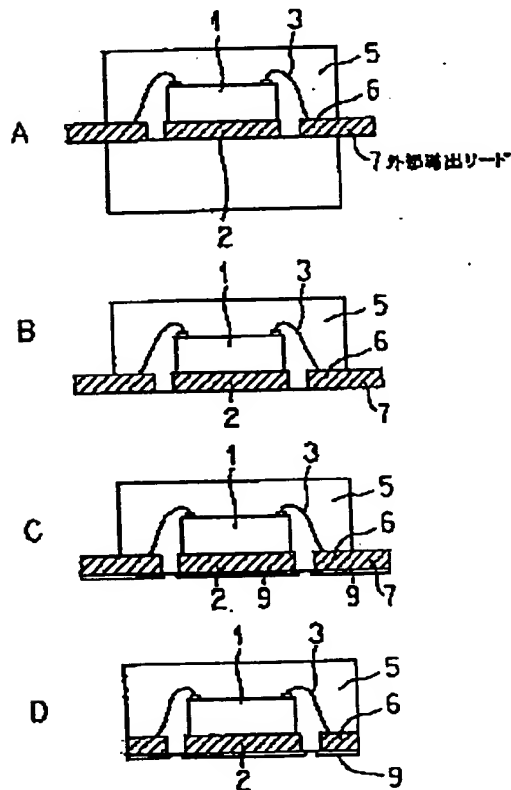
【図12】従来例の表面実装型半導体装置の外部導出リードの変形状態を示した説明図で、Aは斜視図、Bは平面図である。

【図13】従来例の表面実装型半導体装置の断面図である。

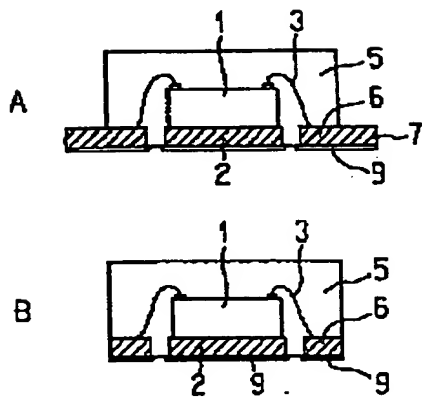
【符号の説明】

- 1 半導体チップ
- 2 ダイパッド
- 3 ボンディングワイヤ
- 4 パンプ
- 5 封止材
- 6 内部導出リード
- 7 外部導出リード
- 8 外部電極
- 9 外装メッキ
- 10 フィルム

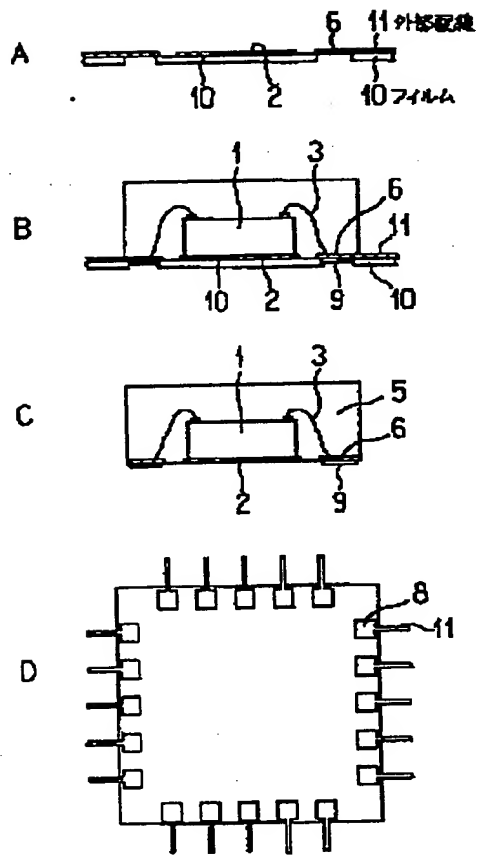
【図2】



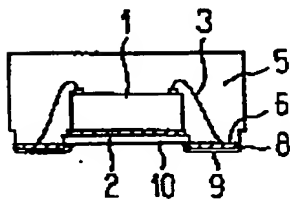
【図3】



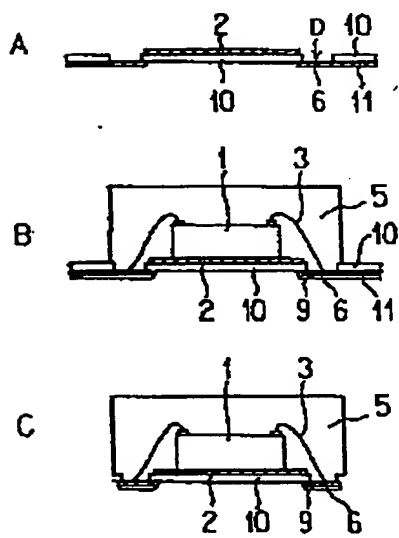
【図5】



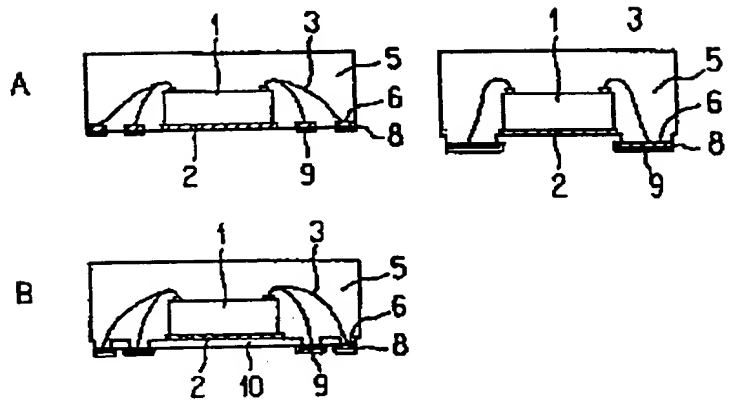
【図6】



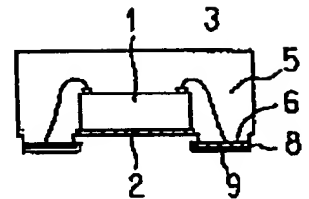
【図7】



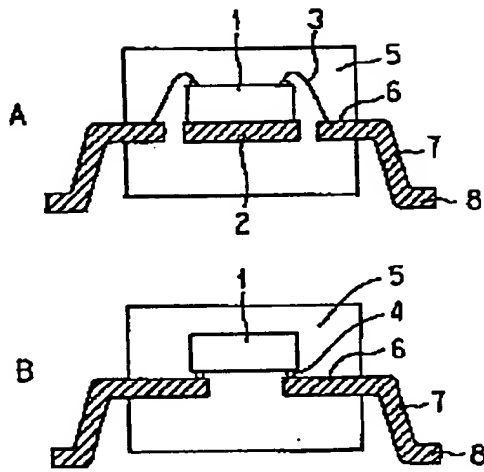
【図8】



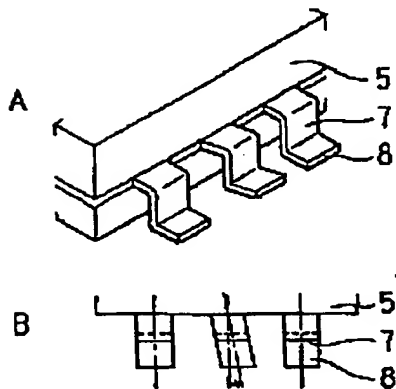
【図9】



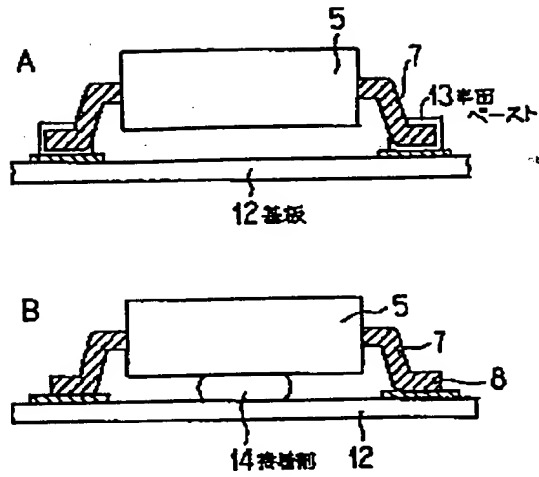
【図10】



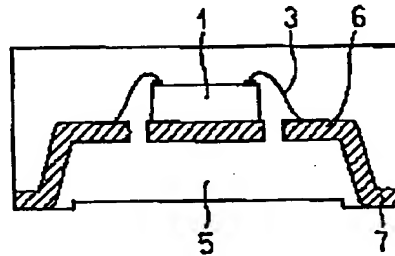
【図12】



【図11】



【図13】



フロントページの続き

(51)Int.Cl.5

H01L 23/50

識別記号

庁内整理番号

F I

技術表示箇所

G 9272-4M

R 9272-4M

**English Translation of Extraction of
Japanese Kokai Patent Publication (A)
No. 5-129473/1993**

- Omitted -

[0011]

Fig. 4 shows the sectional view of the second embodiment. The structure of the second embodiment is almost the same as that of the first embodiment, except that the die pad (2) for mounting a semiconductor chip and the external electrodes (8) are made of a very thin conductive material such as copper foil or the like (with a thickness of about 10 to 30 μm). In the structure of this embodiment, it becomes possible to reduce the thickness of the semiconductor device by as large as several hundreds μm , as compared with the structure of the first embodiment. In addition, the reverse side of the semiconductor chip (1) is exposed to outside, directly or through a metal portion. Therefore, there is provided an advantage that it is easy to release the heat generated from the semiconductor device in use after the semiconductor device has been mounted on a substrate. The steps of constructing the semiconductor device according to the second embodiment are briefly illustrated with reference to the sectional views shown in Fig. 5. While the first embodiment described above uses a lead frame, this embodiment uses a film (10) of polyimide or the like which partially has holes as shown in Fig. 5A. A thin conductive material such as copper foil or the like is laminated on the above film (10) to form a die pad (2), inner leads (6) and external wiring (11). A semiconductor chip (1) is mounted on the film (10) attached with this conductive material in the

same manner as above so as to electrically connect the chip to the inner leads. The semiconductor device is sealed with a resin and coated with external plating (9). Thus, the semiconductor device has a structure shown by the sectional view of Fig. 5B. Then, the film (10) is peeled while being heated, so that the semiconductor device has the structure according to this embodiment as shown in Fig. 5C. In this regard, it is advantageous to previously make thinner the external wires (11) which are to be connected to external electrodes as seen in the plan view of Fig. 5D, so that unnecessary portions of the conductive material outside the external electrode (8) can be cut off simultaneously with the peeling of the film (10).

[0012]

Fig. 6 shows the sectional view of the third embodiment. In the third embodiment, the die pad (2) for mounting a semiconductor chip (1) has a film (10) of polyimide or the like at the bottom thereof. Except for this point, the structure of the third embodiment has not particularly different points from those of other embodiments as described above. However, this embodiment has an advantage in that flux can be washed off after the semiconductor chip is mounted on a substrate, because the film (10) is present at a position higher by the thickness of the external electrode (8) relative to the level of the bottom of the external electrode (8) which is used as a connecting portion when the semiconductor chip is mounted on the substrate. Further, there is another advantage: since the semiconductor device has no portion to be electrically connected to the reverse side of the semiconductor chip (1)

at the center of the semiconductor device, such a disadvantage as a short circuit which would occur when the chip is mounted on the substrate can be avoided. In this regard, the die pad (2), although comprised in this embodiment as seen in the figure, is not always needed in practical use. The steps of constructing the semiconductor device according to the third embodiment are briefly illustrated with reference to the sectional views shown in Fig. 7. In the third embodiment, a thin conductive material such as copper foil or the like is laminated on a film (10) of polyimide or the like which partially has holes as shown in Fig. 7A, so as to form a die pad (2), inner leads (6) and external wiring (11). A semiconductor chip (1) is mounted on the film (10) attached with the conductive material in the same manner as above so as to electrically connect the chip to the inner leads. The semiconductor device is sealed with a resin and coated with external plating (9), so that the semiconductor device has a structure as shown by the sectional view of Fig. 7B. Then, the film (10) at and around the periphery of the semiconductor device is peeled while being heated or by other means. Thus, the semiconductor device has the structure according to this embodiment as shown in Fig. 7C. In this regard, it is advantageous to previously make thinner the wires (11) outside the external electrode (8) as in the case of the second embodiment, so that such wires can be easily cut off when the film (10) is peeled.

- Omitted -

MACHINE-ASSISTED TRANSLATION (MAT):

(19)【発行国】 日本国特許庁 (J P)	(19)[ISSUING COUNTRY] Japanese Patent Office (JP)
(12)【公報種別】 公開特許公報 (A)	Laid-open (kokai) patent application number (A)
(11)【公開番号】 特開平 5 - 1 2 9 4 7 3	(11)[UNEXAMINED PATENT NUMBER] Unexamined Japanese Patent No. 5-129473
(43)【公開日】 平成 5 年 (1 9 9 3) 5 月 2 5 日	(43)[DATE OF FIRST PUBLICATION] May 25th, Heisei 5 (1993)
(54)【発明の名称】 樹脂封止表面実装型半導体装置	(54)[TITLE] Resin sealed surface mounting semiconductor device
(51)【国際特許分類第 5 版】 H01L 23/28 23/12 23/28 4M 23/50 9272-4M 9272-4M 4M	(51)[IPC] H01L 23/28 J 8617-4M 23/12 23/28 A 8617- 23/50 N 9272-4M G 9272-4MR 9272-4M G R 9272- 4M
【 F I 】 H01L 23/12 L 7352-4M	[FI] H01L 23/12 L 7352-4M
【審査請求】 未請求	[EXAMINATION REQUEST] UNREQUESTED
【請求項の数】 3	[NUMBER OF CLAIMS] 3
【全頁数】 6	[NUMBER OF PAGES] 6
(21)【出願番号】	(21)[APPLICATION NUMBER]

JP5-129473-A



特願平 3 - 2 8 9 8 8 2

Japanese Patent Application No. 3-289882

(22) 【出願日】

(22)[DATE OF FILING]

平成 3 年 (1 9 9 1) 1 1 月 6
日

November 6th, Heisei 3 (1991)

(71) 【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】

[ID CODE]

0 0 0 0 0 2 1 8 5

000002185

【氏名又は名称】

ソニー株式会社

Sony Corp.

【住所又は居所】

東京都品川区北品川 6 丁目 7 番
3 5 号

[ADDRESS]

(72) 【発明者】

(72)[INVENTOR]

【氏名】 深澤 博之

FUKAZAWA HIROYUKI

【住所又は居所】

東京都品川区北品川 6 丁目 7 番
3 5 号ソニー株式会社内

[ADDRESS]

(74) 【代理人】

(74)[PATENT AGENT]

【弁理士】

[PATENT ATTORNEY]

【氏名又は名称】 高橋 光男

TAKAHASHI MITSUO

(57) 【要約】

(57)[SUMMARY]

【目的】

小型化、薄型化可能な半導体装
置を提供する。

[OBJECT]

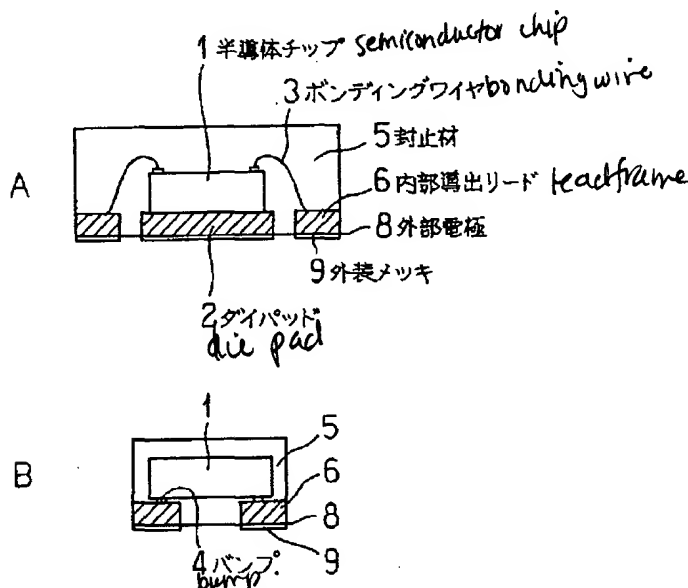
The semiconductor device which can be
reduced in size and thin-shape is provided.

【構成】

[SUMMARY OF THE INVENTION]

内部導出リード6とダイパッド2が同一平面にあるリードフレームを用い、半導体チップ1とボンディングワイヤ3あるいはバンプ4により電氣的に接続されている内部導出リード6の裏面を、半導体装置の外部との電氣的接続部分として機能する外部電極8とする。

The lead frame with 6 and the die pad 2 in the same flat surface is used. It makes the back-side of the inner lead 6 currently electrically connected by the semiconductor chip 1, the bonding wire 3, or the bump 4 be the external electrode 8 which functions as a part for the electric connection part with the exterior of a semiconductor device.



2 types electrical connection
 - bump
 - electrical wire

1. Semiconductor chip
2. Die pad
3. Bonding wire
4. Bump
5. Sealing material
6. Inner lead
8. External electrode

【特許請求の範囲】

【CLAIMS】

【請求項 1】

半導体素子を搭載し、その素子表面の電極を内部導出リードに配線し、その配線部および前記

【CLAIM 1】

A resin sealed surface mounting semiconductor device, which mounts a semiconductor element, wires an inner lead in

半導体素子部を樹脂封止してなる樹脂封止表面実装型半導体装置において、
前記内部配線の接続される内部導出リードの裏面部が、直接半導体装置を実装する際の外部電極となることを特徴とする樹脂封止表面実装型半導体装置。

【請求項 2】

半導体素子の裏面が直接あるいは封止樹脂以外の樹脂材料を介して、半導体装置の外側に露出していることを特徴とする請求項 1 記載の樹脂封止表面実装型半導体装置。

【請求項 3】

半導体素子の裏面部あるいは封止樹脂以外の樹脂材料を介した面が、外部電極の面よりも一段高く形成されていることを特徴とする請求項 1 記載の樹脂封止表面実装型半導体装置。

【発明の詳細な説明】**【0001】****【産業上の利用分野】**

この発明は樹脂封止された表面実装型半導体装置に関するものである。

【0002】**【従来技術】**

従来、表面実装型半導体装置は図 10 にその一例の断面図で示すように、金属（例えば、42%

the electrode on that surface of an element. And it performs the resin sealing of that wiring part and the above-mentioned semiconductor-element part. The back-side part of the inner lead to which inside wiring of an above mentioning is connected is the external electrode at the time of mounting a direct semiconductor device.

【CLAIM 2】

A resin sealed surface mounting semiconductor device of Claim 1, in which the back-side of a semiconductor element has been exposed to the outside of a semiconductor device via resin material except for direct or sealing resin.

【CLAIM 3】

A resin sealed surface mounting semiconductor device of Claim 1, in which the surface via the back-side part of a semiconductor element or resin material except for sealing resin is formed more highly one step than the surface of an external electrode.

【DETAILED DESCRIPTION OF INVENTION】**【0001】****【INDUSTRIAL APPLICATION】**

This invention relates to the surface mounting semiconductor device by which the resin sealing was performed.

【0002】**【PRIOR ART】**

As conventionally shown in Fig. 10 in the sectional view of that example, a surface mounting semiconductor device mounts a

Ni/Fe合金で、板厚0.1～0.3mm)でできたリードフレームのダイパッド2に半導体チップ1を搭載し、図10Aに示すように、ボンディングワイヤ3により内部導出リード6に電氣的に接続するか、あるいは図10Bに示すように、バンプ4と呼ばれる接続電極によって直接内部導出リード6に電氣的に接続する。そして、これらをエポキシ樹脂などの封止材5で封止した後、外部導出リード7および外部電極8を所要の形状に曲げ形成している。

【0003】

そして、図11Aに側面図で示すように、基板12のパターンに半田ペースト13を、あるいは図11Bに示すように、基板12に接着剤14を塗布しておき、これに表面実装型半導体装置を位置合わせして載せる。この基板12を、図11Aのように半田ペースト13を使用した場合には、熱風あるいは赤外線などにより加熱し半田付けする。一方、図11Bのように接着剤14を使用した場合には、半田槽に浸漬して半田付けを行う。

【0004】

しかしながら、前述した表面実装型半導体装置は、図10A、Bに示す封止材5の外側において、外部導出リード7および外部電極8を曲げ加工しているため、この加工精度のバラツキおよび成形後の外部からの力により、図12Aの斜視図に示すよ

semiconductor chip 1 in the die pad 2 of the lead frame made with the metal (for example, being 42% Ni/Fe alloys thickness 0.1 - 0.3 mm). As shown in diagram 10A, it connects with the inner lead 6 electrically with the bonding wire 3.

Or as shown in diagram 10B, it connects with the inner lead 6 electrically directly by the connection electrode called bump 4.

And, after sealing these by the sealing materials 5, such as an epoxy resin, the bending formation of the outer lead 7 and the external electrode 8 is performed at required shape.

[0003]

And, as shown in the side view of diagram 11A, the solder paste 13 is applied to the pattern of a substrate 12. Or as shown in diagram 11B, the adhesive agent 14 is applied to the substrate 12, and a surface mounting semiconductor device is aligned and mounted on this.

When using the solder paste 13 such as diagram 11A, this substrate 12 is heated according to a hot air or infrared rays, and is soldered.

When using an adhesive agent 14 such as diagram 11B on the other hand, it solders by immersing a solder tank.

[0004]

However, the surface mounting semiconductor device mentioned above is in bending-processing. The outer lead 7 and the external electrode 8 in the outside of the sealing material 5 shown in diagram 10A and B. For this reason, as shown in the perspective diagram of diagram 12A, it is easy to produce the variation in the position of the height direction of the undersurface of the external electrode 8 to the

うに、半導体装置の封止材 5 の底面に対する外部電極 8 の下面の高さ方向の位置のバラツキおよび図 1 2 B の平面図に示すように、横方向への外部導出リード 7 および外部電極 8 の変形が生じやすい。これらが原因となって前述の基板実装時、好適な表面実装ができなくなる。または、電氣的に導通できなくなるという課題が発生した。

【0005】

そこで、この課題を解消するため、図 1 3 に示した特開平 3 - 3 3 5 4 号公報に開示されている半導体装置のように、外部電極 8 を封止材 5 の底面と同一面で、かつ底面と並行に導出した形状が提案されている。

【0006】**【発明が解決しようとする課題】**

ところで、近年、電子機器が小型化、薄型化されるにしたがつて、使用される半導体装置もできるだけ小型化、薄型化をはかるように要求され、現在では封止材の大きさが内部に搭載されている半導体チップの大きさと近くなってきており、また、厚みも 1.0 mm 以下の薄型半導体装置が実用化されてきている。しかし、このような小型、薄型半導体装置において、前述の図 1 3 に示す特開平 3 - 3 3 5 4 号公報に記載されているような形状では、大きさも半導体チップサイズよりはるかに大き

base of the sealing material 5 of a semiconductor device by the variation of this forming accuracy. And, as shown in the top view of diagram 12B, it is easy to produce a deformation of the outer lead 7 to a horizontal direction and the external electrode 8. These are due to the external power after molding.

These cause and suitable surface mounting becomes impossible at the time of the above-mentioned substrate mounting.

Or, the problem that conducting electrically became impossible generated.

[0005]

Consequently, in order to eliminate this problem, such as the semiconductor device currently disclosed by unexamined Japanese patent No. 3-3354 gazette shown in Fig. 13, the shape that the external electrode 8 is the same surface as the base of the sealing material 5, and it derives in parallel with a base, is proposed.

[0006]**[PROBLEM ADDRESSED]**

By the way, in recent years, it is required that the used semiconductor device also achieves a size-reduction and making thin-shape as much as possible following an electronic device is reduced in size and made thin-shape. Nowadays, it becomes the size of the semiconductor chip by which the size of a sealing material is mounted in the inside near.

Moreover, the thin-shape semiconductor device whose thickness is 1.0 mm or less has been utilized.

However, in such a small and thin-shape semiconductor device, when it was the shape described by unexamined Japanese patent No. 3-3354 gazette shown in the above-mentioned diagram 13, it does not only become large than semiconductor chip size. It is far also about size, but the problem that it will become thick also about thickness is generated.

This invention is aimed at providing further

くなってしまうばかりか、厚さも厚くなってしまうという課題が発生した。この発明は、外部電極の変形あるいは加工時のバラツキを防止する機構を保ちながら、しかも、小型化、薄型化可能な樹脂封止表面実装型半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】
先に述べたような課題を解決するために、この発明は、内部導出リードとダイパッドが同一平面にあるリードフレームを用い、半導体チップとボンディングワイヤあるいは bumps により電氣的に接続される内部導出リードの裏面を、半導体装置の外部との電氣的接続部分すなわち外部電極とした。

【0008】

【作用】
したがってこの発明の樹脂封止表面実装型半導体装置は、内部導出リードとダイパッドが同一平面にあるリードフレームを用い、半導体チップとボンディングワイヤあるいは bumps により電氣的に接続される内部導出リードの裏面を半導体装置の外部との電氣的接続部分すなわち外部電極としたので、半導体装置の大きさを半導体チップの大きさとほぼ同じ大きさまで小さくすることができる。また、半導

the resin sealed surface mounting semiconductor device which can be reduced in size and made thin-shape, maintaining the mechanism which prevents a deformation of an external electrode or variation at the time of a process.

[0007]

[SOLUTION OF THE INVENTION]

In order to solve the problem which was described previously, this invention uses the lead frame. It has an inner lead and a die pad in the same flat surface. The back-side of the inner lead electrically connected by a semiconductor chip, a bonding wire, or the bump was done as a part for the electric connection part, i.e., external electrode, with the exterior of a semiconductor device.

[0008]

[EFFECT]

Therefore, the resin sealed surface mounting semiconductor device of this invention uses the lead frame which has an inner lead and a die pad in the same flat surface. The back-side of the inner lead electrically connected by a semiconductor chip, a bonding wire, or the bump was done as a part for the electric connection part, i.e., external electrode, with the exterior of a semiconductor device. Therefore, the size of a semiconductor device can be made small to the almost same size as the size of a semiconductor chip.

Moreover, thickness of a semiconductor device can be made thin.

体装置の厚みを薄くすることができる。

【0009】

【実施例】

以下、この発明の実施例の樹脂封止表面実装型半導体装置を図面とともに詳述する。図1に第1の実施例の断面図を示す。まず、図1Aは、厚さ0.1～0.3mmのリードフレームのダイパッド2に半導体チップ1を載置し、半導体チップ1と裏面が外部電極8となる内部導出リード6とをボンディングワイヤ3で電氣的に接続させて、その上部を樹脂封止した構造となっている。図1Bは、同様に半導体チップ1と内部導出リード6とをバンプ4で電氣的に接続をさせている例を示す。ボンディングワイヤ3による電氣的接続法よりバンプ4による電氣的接続の方が、その構造上封止材5の大きさをさらに小さくできるという利点があるが、リードフレームの板厚が薄いほど半導体チップ1の下面の樹脂の厚みも薄くなるため、樹脂封止時のボイド（気泡）などの不具合が発生しやすくなる。

【0010】

第1の実施例の半導体装置の作成方法を図2、図3の断面図を用いて簡単に説明する。まず、第1の作成方法を図2の断面図で説明する。図2Aに示すように、従来と同様の方法でダイパッド2と内部導出リード6が同

[0009]

[Example]

Hereafter, the resin sealed surface mounting semiconductor device of the example of this invention is explained in full detail with a drawing.

The sectional view of a first example is shown in Fig. 1.

First, in diagram 1A, a semiconductor chip 1 is mounted to the die pad 2 of thickness 0.1 - 0.3 mm lead frame. A semiconductor chip 1 and the inner lead 6 with which a back-side is the external electrode 8 are electrically connected with the bonding wire 3, and the resin sealing of that upper part is performed. The above structure is formed.

Diagram 1B shows the example which is connecting similarly a semiconductor chip 1 and the inner lead 6 electrically by the bump 4.

There is an advantage that the direction of the electric connection due to a bump 4 can make still small the size of that sealing-on structure material 5 from the electric connection method due to the bonding wire 3.

However, since the thickness of resin of the undersurface of a semiconductor chip 1 also becomes thin as the thickness of a lead frame is thin, it becomes easy to generate faults, such as the void (air bubble) at the time of a resin sealing.

[0010]

The production method of the semiconductor device of a first example is simply explained using the sectional view of Fig. 2 and Fig. 3.

First, the sectional view of Fig. 2 explains a first production method.

As shown in diagram 2A, the lead frame which has the die pad 2 and the inner lead 6 on the same flat surface by the similar method as

一平面上にあるリードフレームを用い、半導体チップ1を載置後その半導体チップ1と内部導出リード6とをボンディングワイヤ3により電氣的に接続を行う。つぎに、エポキシ樹脂などの封止材5を用いて封止する。そして、半導体装置の裏面樹脂部を削り取り図2Bに示す形状にする。その後、基板実装を行う際の半田付け性をよくするために、外部電極8の露出した部分に半田などの外装メッキ9を施すことにより図2Cのようになる。こうしてできた半導体装置の外部導出リード7の外側の余分な部分を金型などを用いて切断すると図2Dに示す本実施例の半導体装置が得られる。つぎに、第2の作成方法を図3の断面図で説明する。第1の作成方法と同様に、半導体チップ1を載置して電氣的に接続した後、上面にのみキャビティ（掘り込み）のある金型で樹脂封止を行うことにより、図3Aに示す形状となる。この後、第1の作成方法と同様に、外装メッキ9および外部導出リード7の切断を行うことにより、図3Bに示す本実施例の半導体装置が得られる。この作成方法の場合、樹脂封止時のバリなどが外装メッキ9を施そうとしている部分に付着していることがあるため、外装メッキ9を施す前に高圧水などによるバリ取りという前処理が必要となるが、第1の作成方法のような硬い封止樹脂を削り取るという作業は省略できる。

conventionally is used. That semiconductor chip 1 and the inner lead 6 are electrically connected with the bonding wire 3 after mounting a semiconductor chip 1.

Next, the sealing materials 5, such as an epoxy resin, are used and sealed.

And, it makes the shape which the back-side resin part of a semiconductor device is shaven off, and is shown in diagram 2B.

Then, in order to receive the soldering property at the time of performing substrate mounting, it becomes such as diagram 2C by giving outer-cladding plating 9, such as solder, to the part which the external electrode 8 exposed.

In this way if the excessive part of the outside of the outer lead 7 of the made semiconductor device is cut using a die etc., the semiconductor device of this example shown in diagram 2D will be obtained.

Below, the sectional view of Fig. 3 explains a 2nd production method.

After mounting a semiconductor chip 1 and connecting electrically as a first production method, it becomes the shape shown in diagram 3A by performing a resin sealing with the die which has a cavity (digging) only in an upper face.

After this, the semiconductor device of this example shown in diagram 3B is obtained by performing a disconnecting of the outer-cladding plating 9 and the outer lead 7 as a first production method.

In the case of this production method, since the burr at the time of a resin sealing etc. may have adhered to the part which is going to give outer-cladding plating 9, before giving outer-cladding plating 9, a pretreatment called the deburring due to high-pressure water etc. is needed.

However, operation of shaving off hard sealing resin such as a first production method can be omitted.

【0011】

図4に第2の実施例の断面図を示す。構造的には第1の実施例とほとんど変わらないが、半導体チップを載置するダイパッド2および外部電極8の厚みが銅箔などの非常に薄い(約10~30 μ m)導体で構成されている。本実施例の構造は第1の実施例に比べ半導体装置の厚みを数百 μ mも薄くすることが可能となる。また、半導体チップ1の裏面が、直接あるいは金属部分を介して外部に露出している構造となっているので、基板実装後、使用時に半導体装置から発生する熱を逃がしやすいという利点もある。この第2の実施例の半導体装置の作成方法を図5の断面図を用いて簡単に説明する。前述した第1の実施例では、リードフレームを使用するが、本実施例では図5Aに示すような部分的に穴の開いたポリイミドなどのフィルム10に銅箔などの薄い導体をラミネートしてダイパッド2、内部導出リード6および外部配線11を形成し、この導体付いたフィルム10に、前述の方法と同様に半導体チップ1を載置して電気的に接続を行い、樹脂封止および外装メッキ9を施すと図5Bにその断面図を示す構造になる。さらに、加熱などを施しながらフィルム10を剥離すると図5Cに示すような本実施例の構造となる。なお、本実施例に用いられる外部電極8の外側に、フィルム10を剥離する際に導体の余分な部分が同時に切断してしまうように、図5Dの

【0011】

The sectional view of a 2nd example is shown in Figure 4.

Structurally, it almost does not vary with 3 first operations.

However, the thickness of the die pad 2 which mounts a semiconductor chip, and the external electrode 8 consists of very thin (about 10-30 micrometers) conductors, such as a copper-laminate.

The structure of this example can make thin no less than several 100 micrometers of the thickness of a semiconductor device compared with a first example.

Moreover, the back-side of a semiconductor chip 1 forms the structure externally exposed via direct or a metal part.

Therefore there is also an advantage that it is easy to escape the heat generated from a semiconductor device, after substrate mounting at the time of usage.

The production method of the semiconductor device of this 2nd example is simply explained using the sectional view of Fig. 5.

A lead frame is used in the first example mentioned above.

However, in this example, thin conductors, such as a copper-laminate, are laminated on the films 10 which are shown in diagram 5A and which the hole opened partially, such as a polyimide. The die pad 2, the inner lead 6, and external wiring 11 are formed.

A semiconductor chip 1 is mounted to the film 10 to which this conductor was attached, as the above-mentioned method, and it connects with it electrically. A resin sealing and outer-cladding plating 9 are given. Then it becomes the structure which shows that sectional view in diagram 5B.

Furthermore, if a film 10 is peeled, applying heating etc., it will become the structure of this example which is shown in diagram 5C.

In addition, when peeling a film 10 on the outside of the external electrode 8 used for this example, it is fine to make thin beforehand. The external wiring 11 connected to an external electrode as shown in the top view of diagram

平面図に示したように外部電極に接続される外部配線 11 をあらかじめ細くしておくとい。

【0012】

図6に第3の実施例の断面図を示す。第3の実施例では半導体チップ1を載置するダイパッド2の下にポリイミドなどのフィルム10を有する。その外には前述してきた実施例と変わるところはないが、本実施例の場合、基板実装時の接続部分となる外部電極8の底面の高さに対し、外部電極8の厚さの分だけ高いところにフィルム10があるため、基板実装後のフラックスの洗浄効果があるという利点がある。また、半導体装置の中央に半導体チップ1の裏面と電氣的に接続される部分がないので、基板実装時に発生するショートなどの不具合をまねかないという利点もある。なお、本実施例ではダイパッド2が存在する図で説明してきたが、実施に際しては必ずしも必要とは限らない。第3の実施例の半導体装置の作成方法を図7の断面図を用いて簡単に説明する。第3の実施例では、図7Aに示すような部分的に穴の開いたポリイミドなどのフィルム10に銅箔などの薄い導体をラミネートしてダイパッド2、内部導出リード6および外部配線11を形成し、この導体の付いたフィルム10に、前述の方法と同様に半導体チップ1を載置して電氣的に接続を行い、樹脂封止および外装メッキ9を施すと図7Bにその断面を示す構造になる。さらに、

5D so that the excessive part of a conductor may cut simultaneously.

[0012]

The sectional view of a third embodiment is shown in Fig. 6.

In a third embodiment, it has the films 10, such as a polyimide, under the die pad 2 which mounts a semiconductor chip 1.

There is no place which changes with the example mentioned above out of it.

However, in the case of this example, there is a film 10 at the place where it is high by the thickness of the external electrode 8 to the height of the base of the external electrode 8 functioning as a part for the connection part at the time of substrate mounting. For this reason, there is an advantage that a cleaning effect of the flux after substrate mounting is.

Moreover, because there are no back-side of semiconductor chip 1 and part connected electrically of a semiconductor device central, there is also an advantage which does not cause which short fault generated at the time of substrate mounting.

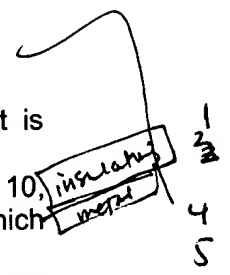
In addition, the diagram where the die pad 2 exists in this example has explained.

However, in case of operation, it does not necessarily restrict with necessity.

The production method of the semiconductor device of a third embodiment is simply explained using the sectional view of Figure 7. In a third embodiment, thin conductors, such as a copper-laminate, are laminated on the films 10 which are shown in Figure 7 A and which the hole opened partially, such as a polyimide. The die pad 2, the inner lead 6, and external wiring 11 are formed.

A semiconductor chip 1 is mounted to the film 10 to which this conductor was attached, as the above-mentioned method, and it connects with it electrically. A resin sealing and outer-cladding plating 9 is given. Then it becomes the structure which shows that cross section in Figure 7 B.

Furthermore, if the semiconductor-device peripheral film 10 is peeled, applying heating



加熱などを施しながら半導体装置周辺のフィルム10を剥離すると図7Cに示すような本実施例の構造となる。なお、第2の実施例と同様に外部電極8の外側の外部配線11を、フィルム10を剥離する際、切断しやすいようにあらかじめ細くしておくといふ。

【0013】

さらに、第4および第5の実施例として、図8に断面図を示すように、外部電極8を2重に配置した構造も、前述してきた実施例より容易に作成される。本実施例の構造の場合、前述の実施例より半導体装置の大きさは少し大きくなるが、外部電極8同士の間隔が広くできるために基板実装時の半田によるブリッジ（電極間ショート）が発生しにくいという利点がある。

【0014】

また、第6の実施例として図6の断面図に示した第3の実施例において、完成した半導体装置の中央部にあるフィルム10を除去することにより、図9に断面図に示すように、半導体チップ1の裏面部あるいは封止材5以外の樹脂材料を介した面が、外部電極8の下面よりさらに高くできるので、第3の実施例のところで述べた地盤実装時の洗浄効果がよりあがるという利点がある。

【0015】

etc., it will become the structure of this example which is shown in Figure 7 C.

In addition, it is fine to make thin beforehand external wiring 11 of the outside of the external electrode 8 as a 2nd example, so that it may be easy to cut when peeling a film 10.

[0013]

Furthermore, as the 4th and 5th examples, as a sectional view is shown in Fig. 8, the structure which has arranged the external electrode 8 doubly is also produced more easily than the example mentioned above.

In the case of the structure of this example, the size of a semiconductor device becomes somewhat larger than the above-mentioned example.

However, since the space of external electrode 8 partner is made widely, there is an advantage that it is hard to generate the bridge (short between electrodes) due to the solder at the time of substrate mounting.

[0014]

Moreover, in the third embodiment shown in the sectional view of Fig. 6 as 6th example, by removing the film 10 in the center section of the perfected semiconductor device, as shown in a sectional view in Fig. 9, the back-side part, or the surface via resin material except for sealing material 5 of a semiconductor chip 1 can be made further high than the undersurface of the external electrode 8.

Therefore there is an advantage that the cleaning effect at the time of ground mounting which the third embodiment incidentally described goes up more.

[0015]

【発明の効果】

以上の説明から明らかなように、この発明の半導体装置では内部導出リードの接続点の裏面を半導体装置の外部電極としたので、半導体チップの大きさに近い寸法の半導体装置を提供できる。また、厚みに関しても、約0.5mm前後の厚みの半導体装置を提供できる。

[EFFECT OF THE INVENTION]

Clearly from the above explanation, in the semiconductor device of this invention, because the back-side of the node of an inner lead was done as the external electrode of a semiconductor device, the semiconductor device of the size near the size of a semiconductor chip can be provided.

Moreover, the semiconductor device of which the thickness is about 0.5 mm can be provided.

【図面の簡単な説明】**[BRIEF EXPLANATION OF DRAWINGS]****【図1】**

この発明の第1の実施例の断面図。

[FIGURE 1]

The sectional view of the first example of this invention.

【図2】

第1の実施例の半導体装置の第1の作成方法を説明する断面図。

[FIGURE 2]

The sectional view explaining the first production method of the semiconductor device of a first example.

【図3】

第1の実施例の半導体装置の第2の作成方法を説明する断面図。

[FIGURE 3]

The sectional view explaining the 2nd production method of the semiconductor device of a first example.

【図4】

この発明の第2の実施例の断面図。

[FIGURE 4]

The sectional view of the 2nd example of this invention.

【図5】

第2の実施例の半導体装置の作成方法を説明する断面図。

[FIGURE 5]

The sectional view explaining the production method of the semiconductor device of a 2nd example.

【図6】

この発明の第3の実施例の断面図。

[FIGURE 6]

The sectional view of the third embodiment of this invention.

【図7】

第3の実施例の半導体装置の作

[FIGURE 7]

The sectional view explaining the production method of the semiconductor device of a third

成方法を説明する断面図。

embodiment.

【図 8】

この発明の第 4 および第 5 の実施例の断面図で、A は第 4 の実施例、B は第 5 の実施例である。

[FIGURE 8]

It is the sectional view of the 4th of this invention, and the 5th example, and the 4th example and B of A are the 5th example.

【図 9】

この発明の第 6 の実施例の断面図。

[FIGURE 9]

The sectional view of the 6th example of this invention.

【図 10】

従来例の表面実装型半導体装置の断面図。

[FIGURE 10]

The sectional view of the surface mounting semiconductor device of a prior art example.

【図 11】

従来例の表面実装型半導体装置を基板に実装した状態の断面図。

[FIGURE 11]

The sectional view of the condition of having mounted the surface mounting semiconductor device of a prior art example in the substrate.

【図 12】

従来例の表面実装型半導体装置の外部導出リードの変形状態を示した説明図で、A は斜視図、B は平面図である。

[FIGURE 12]

It is the explanatory drawing having shown the deformation condition of the outer lead of the surface mounting semiconductor device of a prior art example, and a perspective diagram and B of A are top views.

【図 13】

従来例の表面実装型半導体装置の断面図である。

[FIGURE 13]

It is the sectional view of the surface mounting semiconductor device of a prior art example.

【符号の説明】

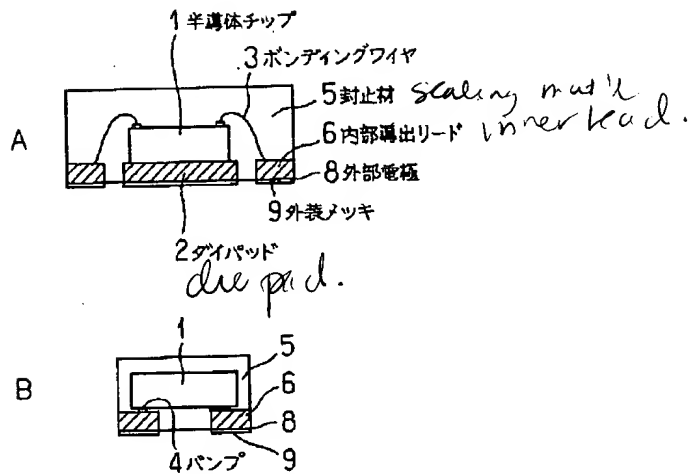
- 1 半導体チップ
- 2 ダイパッド
- 3 ボンディングワイヤ
- 4 バンプ
- 5 封止材
- 6 内部導出リード
- 7 外部導出リード
- 8 外部電極
- 9 外装メッキ
- 10 フィルム
- 11 外部配線

[EXPLANATION OF DRAWING]

- 1 Semiconductor chip
- 2 Die pad
- 3 Bonding wire
- 4 Bump
- 5 Sealing material
- 6 Inner lead
- 7 Outer lead
- 8 External electrode
- 9 Outer-cladding plating
- 10 Film
- 11 External wiring

【図 1】

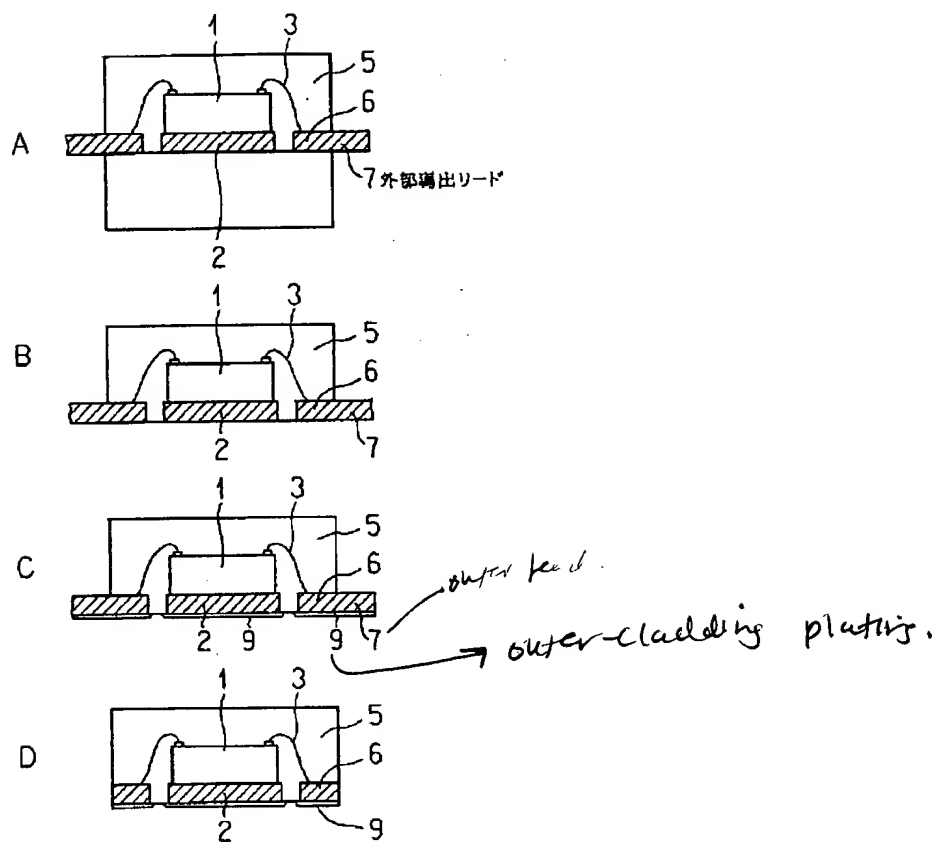
[FIGURE 1]



1. Semiconductor chip
2. Die pad
3. Bonding wire
4. Bump
5. Sealing material
6. Inner lead
8. External electrode

【図 2】

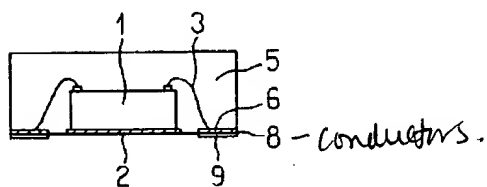
[FIGURE 2]



7. Outer lead

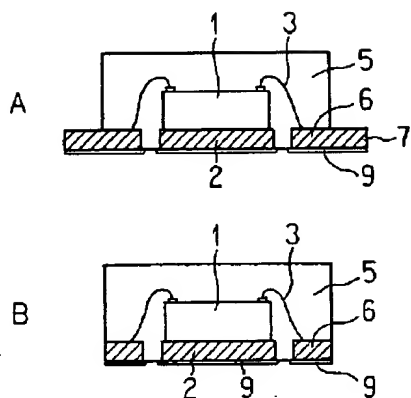
【図 4】

[FIGURE 4]



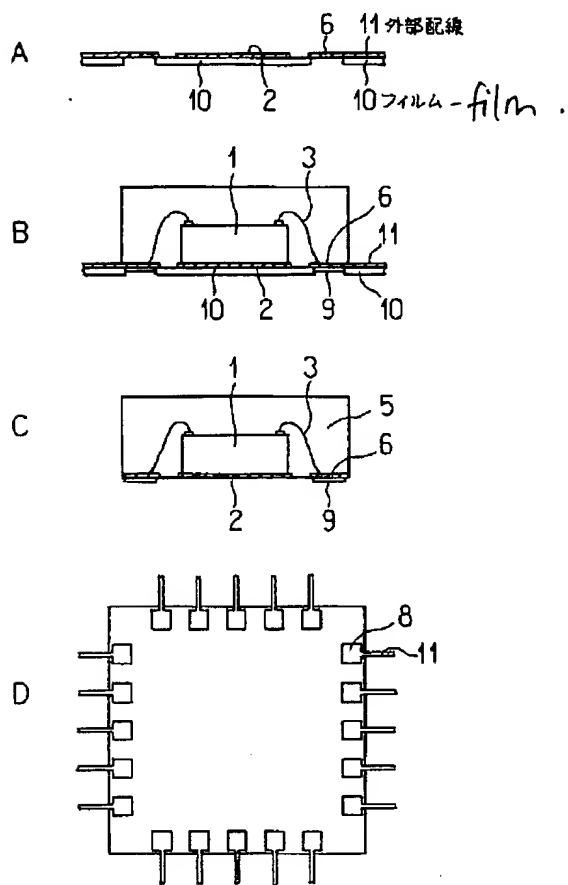
【図 3】

[FIGURE 3]



【図 5】

[FIGURE 5]

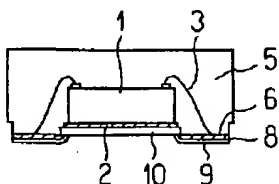


10. Film

11. External wiring

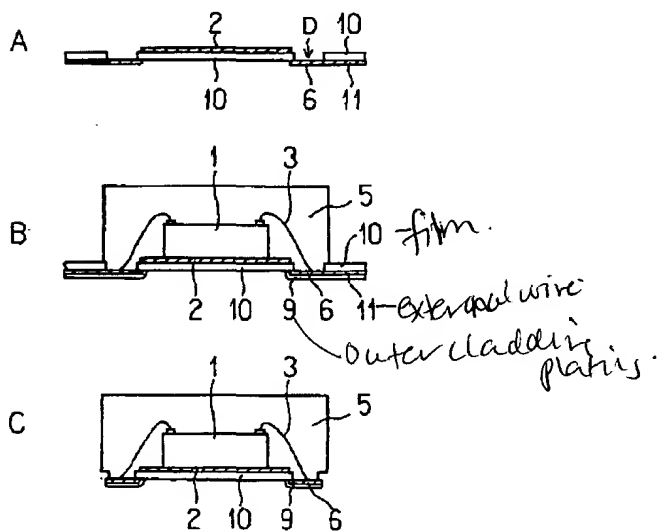
【図 6】

[FIGURE 6]



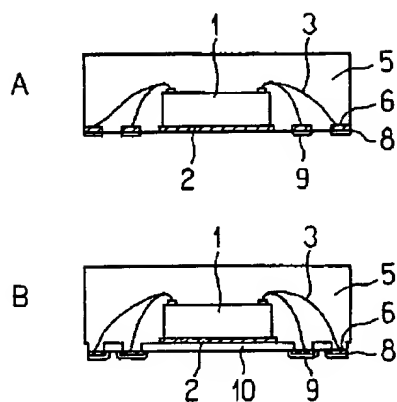
【図 7】

[FIGURE 7]



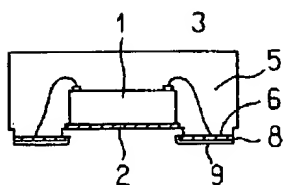
【図 8】

[FIGURE 8]



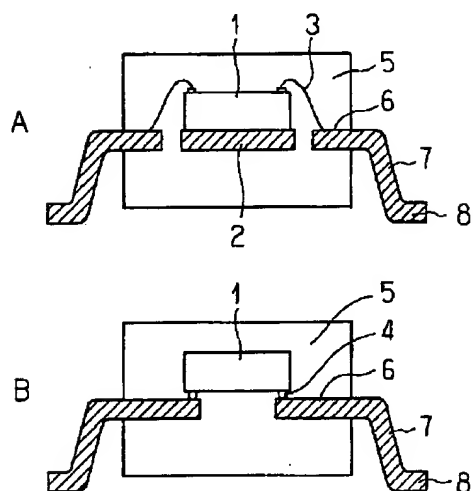
【図 9】

[FIGURE 9]



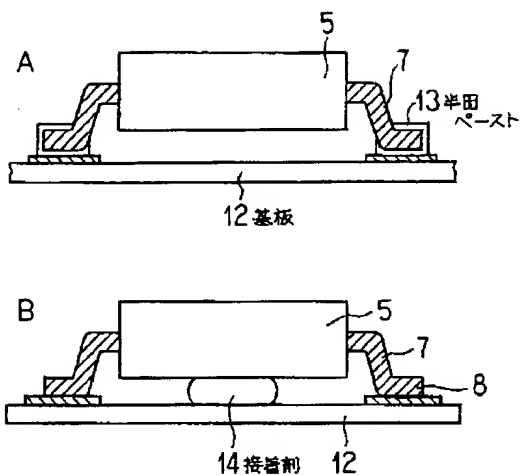
【図 10】

[FIGURE 10]



【図 1 1】

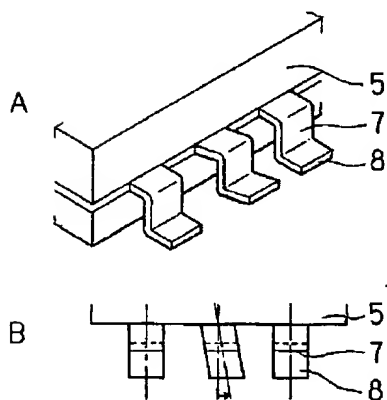
[FIGURE 11]



12. Substrate
 13. Solder paste
 14. Adhesive agent

【図 1 2】

[FIGURE 12]

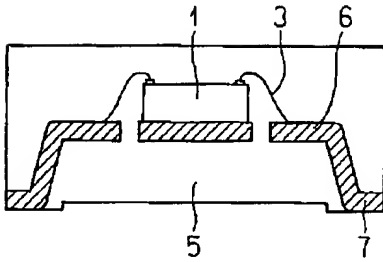


【図 1 3】

[FIGURE 13]

JP5-129473-A

DERWENT
—★—
THOMSON SCIENTIFIC



DERWENT TERMS AND CONDITIONS

Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page:

["WWW.DERWENT.CO.UK"](http://WWW.DERWENT.CO.UK) (English)
["WWW.DERWENT.CO.JP"](http://WWW.DERWENT.CO.JP) (Japanese)